





esp@cenet document view

Page 1 of 2

BIPOLAR INTEGRATED CIRCUIT HAVING A UNIT BLOCK STRUCTURE

Patent number: KR9303838
Publication date: 1993-05-13
Inventor: DANIIJWA TETSU (JP); DOI TAKEHITO (JP); TOKUDA HIDEO (JP); ICHINOSE SHIGENORI (JP)
Applicant: FUJITSU LTD (JP); FUJITSU VLSI LTD (JP)
Classification:
 - International: H01L21/82
 - European: H01L27/118B
Application number: KR19900003413 19900314
Priority number(s): JP19890061818 19890314; JP19890081917 19890331

Also published as:

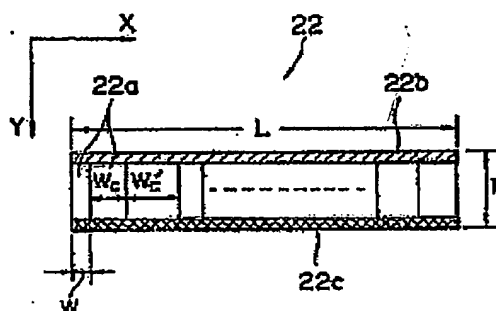
 EP0387812 (A2)
 US5124776 (A1)
 JP3016155 (A)
 EP0387812 (A3)

Report a data error here

Abstract not available for KR9303838

Abstract of corresponding document: EP0387812

A semiconductor integrated circuit comprises a plurality of first hierarchical units (22) of logic devices each including a plurality of bipolar logic devices having a polycell structure (22a). The bipolar logic devices have a first standardized size (H) in a first direction and are arranged in a second direction for a second standardized size (L) in each first hierarchical unit. Each of the first hierarchical units is defined by first and second main edges extending in the second direction for the second standardized size, and first and second side edges extending in the first direction for the first standardized size. Each of the first hierarchical units consumes a generally identical electric power and has a first power feed system (22b, 22c) extending in the second direction for the second standardized size for feeding the electric power to the bipolar logic devices therein. At least a part of the first hierarchical units are arranged in the first direction to form a plurality of second hierarchical units (23, 100) having respective lengths in the first direction wherein the first and second side edges are aligned in the first direction in each of the second hierarchical units. Further, the second hierarchical units are disposed such that there are at least two second hierarchical units having respective positions which are different in the second direction. Furthermore, there is provided a second power feed system (301, 302, 303) extending in the first direction so as to cross the first power feed system for feeding the electric power thereto.

**FIG. 4**

Data supplied from the esp@cenet database - Worldwide

<http://v3.espacenet.com/textdoc?DB=EPDOC&IDX=KR9303838&F=0>

6/13/2005

esp@cenet document view

Page 2 of 2

<http://v3.espacenet.com/textdoc?DB=EPODOC&IDX=KR9303838&F=0>

6/13/2005

KIPRIS(공고특허공보)

Page 1 of 22

공고특허특1993-0003838

(19)대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl. ⁵
H01L 21/82(45) 공고일자 1993년05월13일
(11) 공고번호 특1993-0003838
(24) 등록일자

(21) 출원번호	특1990-0003413	(65) 공개번호	특1990-0015349
(22) 출원일자	1990년03월14일	(43) 공개일자	1990년10월26일
(30) 우선권주장	89-61818 1989년03월14일 일본(JP) 89-81917 1989년03월31일 일본(JP)		
(73) 특허권자	후지쓰 가부시끼 가이샤 야마모토 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지 후지쓰 브이 엘 에스 아이 가부시끼 가이샤 나카노 히로유키 일본국 아이찌켄 가스가이시 고조지 27메 1844-2		
(72) 발명자	다니지와 데쓰 일본국 가나가와켄 가와사끼시 아사오구 호소야마 1-7-1-A301 도이 다케히토 일본국 가나가와켄 요코하마시 미도리구 우메가오카 17-15-6 도구다 히데오 일본국 가나가와켄 가와사끼시 다마구 나가오 5-4-9-201 이찌노세 시게노리 일본국 가나가와켄 가와사끼시 나카하라구 시모신조우 1-3-10-5		
(74) 대리인	문병암		
심사관 : 박충범 (책자공보 제3257호)			

(54) 유니트 블록(UNIT BLOCK)구조를 갖는 바이폴라 집적회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]유니트 블록(UNIT BLOCK)구조를 갖는 바이폴라 집적회로[도면의 간단한 설명]제1도는 종래의 논리 집적회로로 사용된 대표적인 게이트 어레이 구조 평면도.

제2도는 MOS 또는 CMOS 장치로 구성된 종래의 논리 집적회로에 사용된 폴리셀(polycell) 구조의 대표적인 예를 도시한 평면도.

제3도는 MOS 또는 CMOS 장치로 구성된 종래 집적회로의 경우에서 전력단자에 전력도체의 상호연결을 도시한 확대도.

제4도는 본 발명의 집적회로에 사용된 유니트 블록의 개념을 설명하기 위한 평면도.

제5도는 제4도의 유니트 블록을 구성하는 클리셀 구조의 예로 NOR 게이트를 도시한 반도체 패턴.

제6도는 제5도의 반도체 패턴에 대응하는 등가회로도.

http://patent2.kipris.or.kr/patent_eng/XML/CANTORCOLBURN/1019900003413.XML

6/13/2005

KIPRIS(공고특허공보)

Page 2 of 22

제7도는 제4도의 유니트 블록을 구성하는 폴리셀 구조의 다른 예로 단지 증가한 전력을 가지며 제5도의 것과 동일한 NOR 게이트를 도시한 반도체 패턴.

제8도는 제4도의 유니트 블록을 형성하는 폴리셀 구조의 예로 래치회로를 도시한 반도체 패턴.

제9도는 본 발명의 첫번째 실시예에 따른 집적회로의 배선 패턴을 도시한 평면도.

제10a도는 본 발명의 집적회로에 사용된 상호연결 패턴을 도시한 평면도.

제10b도는 본 발명의 상호연결 패턴과 비교할 목적으로 폴리셀 구조를 갖는 종래의 집적회로에 사용된 상호연결 패턴을 도시한 평면도.

제11도는 본 발명의 두번째 실시예에 따른 집적회로의 배치 패턴을 도시한 평면도.

제12a도는 제11도의 집적회로에서 전력도체의 상호 연결의 예를 도시한 확대도.

제12b도는 제12a도의 유니트 블록의 예를 도시한 확대도.

제13도는 첫번째 실시예를 도시한 제9도의 집적회로에서 전력도체의 상호연결의 다른 예를 도시한 확대도.

제14도는 본 발명의 첫번째 실시예를 도시한 제9도의 집적회로에서 전력도체의 상호연결과 다른 배치 패턴의 예를 도시한 평면도.

제15도는 본 발명의 세번째 실시예에 따른 집적회로의 배치 패턴을 도시한 확대도.

제16도는 본 발명의 네번째 실시예에 따른 전력도체의 패턴과 함께 집적회로의 배치 패턴을 도시한 확대도.

제17도는 본 발명의 다섯번째 실시예에 따른 전력도체의 패턴과 함께 집적회로의 배치 패턴을 도시한 확대도.

제18도는 제9도의 실시예에서 전력도체 패턴의 연결을 도시한 확대도.

제19도는 제9도의 실시예에서 전력도체 패턴의 다른 연결을 도시한 확대도.

제20a도와 제20b도는 본 발명의 반도체 집적회로에 적용된 배치 처리를 도시한 흐름도.

[발명의 상세한 설명]본 발명은 반도체 집적회로에 관한 것이고, 특히 유니트 블록 구조를 갖는 바이폴라 집적회로에 관한 것이다.

집적회로에 있어서 논리 동작에 사용된 그것들과 높은 동작 속도는 필수적인 요소이다. 이런 이유들 때문에 논리 집적회로는 소위 ECL(emitter coupled logic)을 형성하기 위하여 연결된 바이폴라 트랜지스터로 구성된다. ECL장치는 고속동작에 대한 대전류가 실질적으로 필요한 ECL장치에서와 같이 집적회로에서 논리장치의 각각에 충분한 전력 공급은 집적밀도를 증가시키는 것이 점점 어렵다. 따라서, 고 집적밀도를 유지하는 동안 집적회로에서 논리장치에 충분한 전력을 공급하는 방법이 ECL장치를 사용하는 집적회로를 설계할 때 가장 중요한 문제중의 하나이다.

한편, 회로가 제한된 수로 야기되긴 하지만 특정 목적에 대응하는 다양한 집적회로를 제조하기 위해 증가 요구된다. 소위 세미-커스텀으로 된 집적회로는 제1도의 예에 대해 도시된 소위 게이트 어레이 구조를 사용하여 보통 구성된다. 제1도에 의거하여 동일한 구조와 크기를 갖는 다수의 논리 게이트는 기본 셀12의 예제로 반도체 칩 10의 표면에 배열된다. 기본 셀12는 제1도에 도시한 바와같이 다수의 열 14 또는 14a에 배열될 것이다. 셀 12의 각각은 특정 크기와 구조를 갖는다. 제1도에 도시한 바와같은 구조를 갖는 칩 또는 마스터 슬라이스는 대량 생산되고 기본 셀 12사이의 상호연결은 집적회로의 특정 목적에 따라 만들어졌고, 물론 집적회로에 대한 형태의 기능 요구에 따라 변한다.

게이트 어레이 구조를 갖는 집적회로에 있어서 모든 기본 셀이 사용되는 것이 아니고, 그것들중 일부가 미사용으로 남는다. 이것은 원이 목적에 대하여 사용될 때 칩상에 게이트의 충분한 수로 보장하기 위하여 여분과 함께 칩상에 기본 셀을 제공하기 때문이다. 여기서 기본 셀의 아주 많은 수가 필요하다. 따라서 게이트 어레이 구조의 집적밀도가 최대의 집적밀도보다 필연적으로 낮고, 집적회로는 잠재적으로 실현 가능하고 그와 관련되어 있다. 거기에는 집적회로의 동작속도가 최대일 수 없는 문제가 있다. 더우기, 복잡한 상호연결 패턴이 기본 셀에 배열된 칩에 ECL게이트를 연결하기 위해 필요하고 그와 관련되어 있는 문제가 있고, 칩에서의 상호연결의 평균길이가 증가하는 문제가 발생한다. 상호연결에서 증가하는 집적회로의 동작속도에서 감소를 야기시킨다. 더우기 상호연결의 준비는 영역에서 새로운 상호연결에 대한 경로의 패턴 설계와 선택을 처리하는 동안 칩상에 완성된 상호연결 패턴의 모양때문에 집적밀도를 증가시켜 점점 어려워진

다. 여기서 상호연결은 점점 어려워지는 것이 이미 제공되었다. 게이트 어레이는 칩상의 메모리 또는 다른 유용물에 대한 영역을 제공하지 않고, 칩은 마스터 슬라임으로 제공되고, 여기서 기판 셀은 칩의 전체영역을 커버하기 위하여 제공된다.

한편, 제2도 도시한 기본 셀 구조 또는 폴리셀 구조로 불리워지는 커스텀으로된 집적회로를 설계하기 위한 다른 개념이 있다. 이 폴리셀 구조에서, 인버터등의 각각의 논리장치, NOR 게이트, 플리플롭 등은 제2도에 도시한 바와같이 Y방향으로 측정할 때 일정한 높이를 갖는 폴리셀 16a로서 패턴화된다.

폴리셀은 그들의 형태와 기능에 따라 도면에서 X방향으로 다양한 폭을 갖는다. 더우기 폴리셀 16a는 그것들 배열함으로써 X방향으로 연장하는 폴리셀 16의 형상으로 모여지므로 인접 폴리셀의 꼭대기 에지는 서로 정렬되고, 인접 폴리셀의 바닥 에지는 제2도에 도시한 바와같이 서로 정렬된다. 폴리셀 칼럼 수는 칩상에 형성되고, 폴리셀들 사이의 상호연결은 셀 컬럼 내이거나 셀 칼럼 사이의 간격 또는 하나 이상의 셀 칼럼의 교차중 어느 하나로 만들어진다. 이 폴리셀 구조를 사용함으로써 하나는 폴리셀의 셀을 활용함으로써 사실상 집적밀도를 증가시킬 수 있고 그것에 의해 최대의 동작속도가 가능하다. 폴리셀의 형태의 집적회로의 경우에 마스크는 새롭게 설계된 집적회로의 각각에 대해 제조되고 집적회로의 설계가 가능하다. 이러한 이유 때문에 메모리 또는 다른 논리장치 등의 메가-셀에 대해 영역을 제공하는 것이 또한 가능하다.

이 폴리셀 구조는 MOS 또는 CMOS 장치로 구성된 집적회로에서 최근에 사용된다. MOS 또는 CMOS장치에서 비록 동작속도로 절충될 지라도 전력소비는 매우 적고 정지모드에서 사실상 제로이다. 저전력 소비 집적회로에서의 칩의 장치에서 전력 공급에 관한 특징문제가 일어나지 않고 폴리셀의 각각에 전력공급하기 위한 전력도체는 신호를 운반하기 위하여 상호연결 패턴과 유사하게 처리될 것이다.

제3도는 전력단자 패드에 연결된 전력도체이거나 그 자신과 전력 단자 패드인 주전력 도체 18에 대하여 폴리셀칼럼 16에 다수의 폴리셀 16a에 보통 연결된 전력 도체 17을 연결하는 예를 도시하였다. 전력 단자 패드에 외부적으로 공급되는 전력은 전력도체 17을 통하여 패싱하는 다수의 폴리셀 16a로 분배된다. 도시한 바와같이 전력도체 17 각각은 주전력 도체 18에 직각으로 연장되고 바이어-홀(Via-hole) 18a에서 거기에 연결된다. 전력 도체 17을 통하여 흐르는 전류는 이 경우에 매우 작고, 특정 관계는 전력 도체 17의 라인 폭에 관하여 필요하고, 폴리셀칼럼 16에 포함된 다수의 장치와 형태는 다양하게 변화시킬 수 있을 것이다. "라인 폭"의 표현은 도체의 연장 방향에 수직인 칩의 면에서 측정된 도체의 폭을 의미하는 것으로 여기서 사용된다.

그러나, 폴리셀 구조가 ECL 또는 CML 게이트의 수를 포함하는 바이폴라 집적회로의 경우에 적용될 때, 집적회로에서 폴리셀 각각에 충분한 전력을 공급하는 방법문제가 야기된다.

집적회로와 같은 ECL 또는 CML게이트 구성은 사실상 고속 동작에 대한 대전류 또는 대전류를 필요로 한다. 따라서, 제3도의 전력도체 17의 라인 폭을 증가시키는 것이 필요하다. 라인폭이 충분하게 증가하지 않을 때, 전력 도체 17을 통하여 공급될 수 있는 전류는 제한되고 하나의 폴리셀 칼럼에 포함된 다수의 폴리셀들은 감소한다. 판 방법으로는 비수용(unacceptable) 전압 강하는 전력도체 17에서 일어날 것이다. 그러나, 라인 폭이 증가할때 전력도체 17의 라인 폭이 폴리셀칼럼 16의 높이보다 두께 2, 3배 달하여 연속적으로 크게 된다. 전력도체의 라인 폭이 증가한 전력에 대한 요구를 충족시키기 위하여 증가할 때, 칩상의 영역은 전력도체에 의해 점령되고 집적밀도의 감소뿐만 아니라 ECL게이트의 상호연결에 대해 사용된 채널영역이 초래된다.

전력도체에 대한 멀티-레벨 상호연결 구조를 사용함으로써 이 문제를 극복하기 위한 시도는 전력도체에 대한 폴리셀의 내부층 연결에 대하여 사용된 바이어-홀이 상당한 공간을 차지하기 때문에 일반적으로 잘되지 않는다. 아주 많은수의 전력 바이어-홀은 칩상의 ECL 게이트 중 어느 하나에 충분한 전력을 공급하기 위하여 필요하다. 상호연결 패턴 설계 또는 "경로 선택"이 점차적으로 감소할 때 자유도와 상호연결 도체를 패싱하기 위해 사용한 채널에 대하여 바이어-홀의 많은 수는 가능한한 경로를 감소시킨다.

폴리셀 칼럼에서 폴리셀의 다양한 폭때문에 폴리셀의 대응 전력단자와 규칙적인 반복 전력도체가 일반적으로 일치하지 않으므로 게이트 어레이 구조에 사용된 규칙적인 십자형 전력 공급 패턴의 사용은 또한 비성공적이다.

집적회로가 제2도의 경우에서와 같이 메가-셀 영역 M을 포함할 때, 전력도체의 구성은 메가-셀 영역 M의 근접 영역에서 변경되는 다른 문제가 발생한다. 이 경우에 제3도에 도시한 바와같이 전력도체 17등의 전력도체는 영역 M을 둘러싸는 주전력 도체에 연결된다. 다수의 전력도체는 주전력 도체에 연결되고, 주전력 도체는 커다란 영역을 필연적으로 차지한다. 이것은 사실상 칩의 가능한 위치를 제한하고, 여기서 메가-셀 영역 M은 제공될 수 있다. 메가-셀의 가능위치에 관한 제한과 함께 전력도체 패턴의 변경은 CAD처리를 사용하는 ECL 집적회로의 자동 및 가장 알맞은 설계에 관한 어려움을 야기시킨다.

더욱이, 소형화 처리와 함께 채널 루터(router)처리를 결합한 CAD 처리가 폴리셀 구조의 설계에 적용될때, 얻어진 폴리셀칼럼은 대체로 풀(full) 칩 길이에 대해 연장된다. 왜냐하면 상호연결에 대한 채널영역이 하나의 풀 칩 길이를 연장하기 위하여 또한 형성된다. 긴 채널 영역에서, 채널 정도(degree)는 채널 영역의 각 부분에서 다양하게 활용할 수 있으므로 채널 영역은 다른 부분이 자주 사용되지 않거나 아주 사용되지 않는 반면 상호연결에 대해 자주 사용되지 않는 경향이 있다. 이런 상황때문에 채널 정도는 약 30-40%를 유지하는 종래의 폴리셀형 집적회로를 활용하고 채널 영역의 부분은 비사용이거나 불충분하게 사용된다.

따라서, 본 발명의 목적은 유용하고 쓸모있는 반도체 집적회로와 그 제조방법을 제공하는 것이다. 여기서 앞의 문제는 제거된다.

본 발명의 다른 목적은 다수의 ECL 게이트가 폴리셀구조의 형성으로 고집적 밀도로 조립되고, 충분한 전력이 고정된 규칙적인 전력 공급 시스템으로 부터 ECL 게이트의 각각에 공급하는 반도체 집적회로와 그 제조 방법을 제공하는 것이다. 결과적으로 집적회로의 동작속도가 최대의 집적밀도를 조립된 고속 ECL게이트를 사용함으로써 최대가 된다.

본 발명의 다른 목적은 다수의 ECL 게이트가 첫번째 방향의 첫번째 예정된 크기와 첫번째 방향에 수직인 두번째 방향의 변화하기 쉬운 크기를 갖는 다수의 폴리셀로 이루어진 폴리셀구조로 배열된 반도체 집적회로를 제공하는 것이다.

폴리셀은 첫번째 방향의 첫번째 예정크기와 두번째 방향의 두번째 예정크기를 갖는 폴리셀의 유니트 블록을 형성하기 위하여 두번째 방향으로 정렬되고, 다수의 유니트 블록들은 미니-매크로(mini-macro) 블록의 형성으로 집적회로의 칩영역상에 놓여진다. 유니트 블록들의 각각은 상기 두번째 예정 크기와 동일한 길이에 대하여 두번째 방향으로 첫번째 방향에 연장하고 첫번째 방향에 대향하고, 유니트 블록들의 각각은 상기 첫번째 예정 크기와 동일한 길이에 대하여 첫번째 방향으로 첫번째 사이드(side) 에지를 연장시킴으로써 놓여지고, 두번째 사이드에지는 상기 첫번째 예정 크기와 동일한 길이에 대하여 첫번째 방향으로 연장되고 첫번째 사이드 에지에 대향하고, 첫번째와 두번째 전력도체는 첫번째와 두번째 방향에 따라 놓여진다. 미니-매크로 블록들은 첫번째 방향으로 서로 인접하여 배열된 유니트 블록들 이 위에서 제한한 바와같이 다수의 유니트 블록들을 조립함으로써 형성된다. 더욱이, 다수의 미니-매크로 블록은 칩의 완전한 기능 블록으로 작용하는 ALU등의 매크로-블록을 형성하기 위하여 서로 상호연결되어 조립된다. 미니-매크로 블록들은 완전한 상호연결을 가지지 않는다. 따라서 완전한 기능 블록으로서 작용되지 않는다. 폴리셀들은 매크로-블록 블록의 각각에 완전한 회로 장치를 형성하기 위하여 각 매크로-블록 내에 서로 상호연결된다. 더욱이 미니-매크로 블록과 매크로 블록은 한가지 제약조건 즉, 칩상의 모든 매크로-블록을 통하여 동일한 방향으로 연장된 모든 유니트 블록을 제외하면 칩상에 자유롭게 놓여진다.

본 발명에 따라 유니트 블록 각각의 전력소비는 대체로 일정하게 유지하는데 그 이유는 고정된 전력 공급 패턴으로 부터의 전력이 공급 되는 동안 유니트 블록과 유니트 블록의 기준 크기가 집적회로의 칩 영역상에 자유롭게 놓여질 수 있기 때문이다. 유니트 블록의 폴리셀 구조 때문에 고집적 밀도는 유니트 블록이 칩상에 제공된 곳에서 유지된다. 유니트 블록이 미니-매크로 블록에서 조립되고 집적회로의 배치가 미니-매크로 블록을 사용함으로써 실행될 때, 반도체 패턴의 효율적인 배치는 고집적밀도의 희생 없이 CAD 등의 자동 설계 설비의 사용으로 가능하다. 더욱이, 반도체 패턴을 설계하는 시간에 있어서 증가한 자유도 때문에, 본 발명의 집적회로는 칩 영역위의 아주 바람직한 위치에서 폴리셀, 기준 셀 기술에 의해 설계되지 않는 RAM 과 ROM 또는 ALU 등의 매크로-셀을 포함할 수 있다.

본 발명의 다른 장점과 특징은 미니-매크로 블록의 다수의 유니트 블록을 조립함으로써 나타나고, 간격은 인접한 미니-매크로 블록들 사이에서 보장되고, 그 간격은 미니-매크로 블록들을 연결하는 상호연결 도체의 통로에 대해 사용된 글로벌(global)채널에 대하여 자유롭게 사용될 수 있다. 분리된 미니-매크로 블록을 연결하는 상호연결 도체에 대한 통로가 미니-매크로 블록 외부와 유니트 블록 외부에 제공되기 때문에, 그것의 어떤 연결도 없이 폴리셀을 교차하는 상호연결 도체등의 문제는 제거되고 이 목적에 대한 폴리셀에 제공된 채널 영역은 제거될 수 있다. 결과적으로 유니트 블록에 사용된 폴리셀의 층래와 폴리셀과 비교하여 감소된 크기를 가질 수 있고 집적밀도는 더 증가된다.

본 발명의 또 다른 유리한 특징은 유니트 블록의 첫번째 방향에 대향하는 첫번째와 두번째 전력도체를 제공함으로써 나타나고, 유니트 블록의 각각에 전력 공급은 고정된 전력 공급 시스템을 사용함으로써 쉽게 성취된다. 예를들면, 첫번째와 두번째 전력도체의 상기 레벨에서 다수의 세번째와 네번째 전력도체를 제공함으로써 세번째와 네번째 전력도체는 두번째 방향으로 규칙적인 반복과 반복하는 첫번째 방향으로 확장된다. 만약 반복 피치가 적당하게 세팅된다면 그와 함께 교차하는 알맞은 세번째와 네번째 전력도체 상으로 부터 미니-매크로 블록 또는 매크로-블록을 형성하거나 고립된 유니트 블록들의 어느 하나에 충분한 전력을 공급하는 것이 가능하다.

본 발명의 다른 목적과 특징은 첨부된 도면과 관련하여 읽을때 상세한 설명으로 부터 뚜렷해질 것이다.

첫째, 본 발명의 기본원리를 형성하는 유니트 블록의 개념은 평면도에서 전형적인 유니트 블록 22의 평면으로 도시한 것을 제4도로 설명 하려 한다.

제4도를 의거함으로써, 유니트 블록 22는 Y방향으로 일정한 높이 H를 갖고 X방향으로 높이 H와 같은 높이를 갖는 다양한 폴리셀 22a를 배열함으로써 구성된다. 일반적으로, 폴리셀 22a 각각은 OR 또는 AND 게이트 등의 논리장치를 형성하고 X방향으로 다양한 폭 W, W'를 갖는다. 더욱이, 폴리셀들이 유니트 블록 22의 각각에 배열되므로 유니트 블록 22는 X방향으로 일정한 기준 길이 L인 상수를 갖는다. 예를들면, 유니트 블록 22의 각각은 거기에 약 10-20 폴리셀 22a를 포함하고, 약 600-800 μ m의 길이 L를 갖는다. 유니트 블록 22의 표준 높이 H는 약 78 μ m이다.

유니트 블록 22는 X 방향으로 연장된 한쌍의 병렬전력도체 22b와 22c를 갖는다. 하나의 도체(22b)는 유니트 블록의 정상 에지를 따르고 다른 하나의 도체(22c)는 유니트 블록의 바닥 에지를 갖는다. 다른 말로, 폴리셀22a의 각각은 유니트 블록의 22의 다른 폴리셀로 전력도

제 22b와 22c로 나누고, 풀리셀들은 전력도체 22b와 22d를 통하여 전력을 공급한다. 아래에 설명될 것과 같이 이들 전력도체 22b와 22c 각각이 단일 도체스트리프로 형성되거나 각각의 소오스 전압을 이끄는 다수의 도체 스트리프 대신에 이루어질 수 있다.

집적회로를 형성하기 위하여 칩 영역상에 유니트 블록의 다양한 배열을 설명하기 전에, 풀리셀 22a의 내용을 첫째로 설명하려 한다.

제5도는 풀리셀 22a의 유니트 블록 22로 형성된 논리 장치의 예를 도시하였다. 이 예에서, 논리장치는 제6도로 도시한 회로도의 ECL 구성의 대표적인 NOR게이트이다.

제5도와 제6도에 있어서, NOR게이트를 입력신호 A1과 A2를 트랜지스터 Tr1 과 Tr2, 다른 트랜지스터 Tr3를 포함하고, 그의 베이스에 기준전압 V_{BB} 로 공급되고 앞의 트랜지스터 Tr1과 Tr2는 서로 전류 스위치를 형성하고, 또한 제공된다.

제6도는 동일한 회로도에 있어서, 트랜지스터 Tr1과 Tr2는 보통 연결된 콜렉터를 가지며, 연결된 콜렉터는 부하 저항 R1, R2, R3, R4, R6를 거쳐 접지도체를 형성하는 전력도체 22b에 더 연결된다. 트랜지스터들 Tr1과 Tr2는 보통 연결된 에미터를 더 가지며, 연결된 에미터는 트랜지스터 Tr3의 에미터에 더 연결된다. 바뀌어서, 트랜지스터 Tr3는 부하 트랜지스터 R1, R2, R3, R4를 거쳐 전력도체 22b에 연결된 콜렉터를 갖는다. 더우기, 정전류원으로 작용하는 다른 트랜지스터 Tr4를 제공한다. 여기서 트랜지스터 Tr4는 정바이어스 전압 VCS가 공급된 베이스를 갖고, 부하 저항 R7과 R8이 연결된 에미터와 콜렉터는 트랜지스터 Tr1, Tr2, Tr3의 에미터에 연결된다. 부하 저항 R7과 R8은 병렬연결로 제공되고 전력도체 22c의 하나에 구성으로서 작용하는 도체 22c

V_{EE} 로 제공된 소오스 전압 V_{EE} 에 보통 연결된다.

또 다른 트랜지스터 Tr5는 출력단에 제공되고, 여기서 트랜지스터 Tr5는 노드에 연결된 베이스를 갖고, 트랜지스터 Tr1, Tr2의 콜렉터는 저항 R6에 연결되고, 콜렉터는 접지도체 22b에 집적적으로 연결되고, 에미터는 저항 R5를 거쳐 전력도체 22c의 다른 도체 22c₂로 제공된 소오스 전압 V_T 에 연결된다.

동작에서 저 레벨 입력신호들이 입력단자 A1과 A2에 인가될 때, 트랜지스터 Tr1과 Tr2는 off되고, 트랜지스터 Tr3는 ON된다. 결과적으로 고레벨 출력은 출력단자 OUT에서 얻어진다. 입력단자 A1, A2에 하나 또는 두개의 입력신호가 고레벨일 때, 트랜지스터 Tr3는 off된다. 결과적으로, 저출력 신호는 출력단자 OUT에서 얻어진다. 따라서, 이 회로는 NOR게이트의 동작을 실행한다.

NOR게이트의 실제 패턴을 제5도에 의거하여 설명하려 한다. 제5도에서, 제6도의 회로도에 도시한 소자에 대응하는 소자들은 동일한 참조번호로 주어졌다. 제5도에서 해치된 직사각형 영역은 접속홀들을 나타낸다.

제5도에서 트랜지스터 Tr1의 에미터, 베이스와 콜렉터는 E1, B1과 C1으로 나타나는 반면 트랜지스터 Tr2의 에미터, 베이스와 콜렉터는 E2, B2와 C2로 나타난다. 따라서, 콜렉터 C1과 C2는 공동으로 제공된다. 유사하게 에미터들 E1과 E2는 공동으로 제공된다. 이것은 트랜지스터 Tr1과 Tr2가 멀티플 에미터와 멀티플 베이스 구성을 갖는 트랜지스터를 형성함을 의미한다. 한편, 트랜지스터들 Tr3, Tr4와 Tr5는 서로 분리되어 제공되고 에미터, 베이스와 콜렉터는 E3-E5, B3-B5, C3-C5로 각각 나타낸다. 번호들 "3", "4"와 "5"는 각각 트랜지스터 Tr3, Tr4, Tr5를 각각 나타낸다. 콜렉터 C5는 이 도면에 나타나 있지 않다.

논리 게이트의 고전력과 고속동작을 허용하기 위하여, 트랜지스터들 R1-R4는 레벨이 접지레벨 GND에서 유지되는 전력도체 22b에 서로 병렬로 연결된다. 저항 R1-R4의 병렬 연결 때문에 대전류는 트랜지스터 Tr1, Tr2와 Tr3를 통하여 흐른다. 다수의 풀리셀들은 제4도에 도시한 바와같이 유니트 블록을 형성하도록 배열될 때 이 전력도체 22b는 풀리셀의 배열을 따라 X방향으로 확장된다. 유사하게, 저항 R7과 R8은 소오스 전압 V

V_T 를 운반하는 다른 전력도체 22c₂와 서로 전력도체 22c를 형성하는 전원 V_{EE} 를 운반하는 전력도체 22c₁에 서로 병렬로 연결된다. 전력도체 22c

2는 저항 R5를 거쳐 트랜지스터 Tr5의 에미터에 연결된다.

논리 게이트가 언급한 바와같이 구성될 때, 게이트의 전력과 게이트의 동작속도는 X방향으로 제5도의 패턴의 크기를 간단히 확장함으로써 쉽게 증가된다. 확장된 패턴의 예는 제7도에 도시하였다. 제7도에서, 제5도를 참조하여 이미 설명한 그것에 대응하는 소자들은 동일한 번호를 주어졌고, 그 설명은 생략한다. 제7도에 있어서, 트랜지스터 Tr1-Tr5의 에미터, 베이스와 콜렉터의 크기는 X방향으로 간단히 증가된 반면 크기는 Y방향으로 증가하지 않는다. 더우기, 증가한 전류를 허용하기 위하여, 전력도체에 병렬로 연결된 다수의 저항을 증가한다.

그 구성을 갖는 논리 게이트의 전력은 X방향으로 측정된 측면 크기에 간단히 비례한다. Y방향으로 측정된 높이가 일정하게 유지되므로, 논리게이트의 전력은 논리 게이트가 점유하는 영역에 비례함을 의미한다. 다른 말로, 풀리셀을 구성함으로써 풀리셀의 트랜지스터는 X방향으로 연장된 단자 전극을 가지며 전류는 풀리셀이 바닥 에지에서 전력도체 22c에 풀리셀의 꼭대기까지 제공된 전력도체 22b로 무

터 Y방향으로 흐르고, 폴리셀들의 크기가 변할 때 폴리셀 또는 전력밀도의 유니트 영역에서 소비되는 전력은 대체로 일정하게 유지한다. 더우기 다수의 폴리셀은 X와 Y방향으로 기온 크기를 갖는 유니트 블록을 형성하기 위하여 배열되고, 전력밀도는 대체로 일정하게 되고, 유니트 블록 22를 요구하는 전력은 대체로 일정하게 유지된다.

제5도의 구성에 있어서 높이 H를 갖는 폴리셀 22a와 전력도체 22b와 22c는 Y방향으로 유니트 블록 22의 안쪽으로 향하는 경사진 오프셋 h로 제공된다.

제8도는 폴리셀22a'가 래치회로를 형성하는 폴리셀 구조의 다른 예를 도시하였다. 다양한 트랜지스터의 전극이 X방향으로 연장된 제8도에서 T₁로 설계되고 래치회로의 전력이 X방향으로 트랜지스터 T₁의 측면크기를 간단히 확장함으로써 증가된 폴리셀구조가 또한 유사한 특성을 갖는다. 제5도는 또는 제7도의 폴리셀 22a와 제8도의 폴리셀22a'는 평면도에서 Y방향으로 예정된 레벨에서 도체 22d와 22e의 위치를 설정함으로써 바이어스 전압 V

CS와 V_{BB}를 공급하기 위하여 Y방향의 레벨 또는 각각의 위치에서 유니트 블록 22를 통하여 X방향으로 연장하는 도체 22d와 22e를 갖고, 유니트 블록의 폴리셀에 다양한 바이어스 전압의 공급은 쉽게 성취될 수 있다. 더우기, 논리 회로의 배치는 다른 폴리셀에 외부 연결을 위하여 해치된 단자영역을 제외하고 X방향의 도체 22f를 연장함으로써 각 폴리셀 22A'내에서 완성된다.

유니트 블록 22의 크기 또는 길이 L은 유니트 블록에 의해 필요한 전력과 유니트 블록에서 폴리셀의 손실 뿐만 아니라 CAD에 의한 배치의 용이성을 기초로 결정된다. 유니트 블록 22에 의해 필요한 전력은 X방향으로 유니트 블록의 길이 L을 증가시킴으로써 증가된다. 길이 L이 과도 상태일 때, 도체 스트리프(strip)는 전력도체 22b와 22c에 대해 사용된 매우 큰 라인 폭을 갖고 이것은 유니트 블록의 높이 H의 증가를 필연적으로 야기시킨다. 전력도체 22b와 22c의 폭 증가에 의해 야기된 높이 H의 증가는 집적밀도의 증가를 야기시킨다. 한편 유니트 블록의 길이 L이 과도하게 감소할때, 2개 또는 3개의 폴리셀에 대응하는 길이, 폴리셀에 의해 유니트 블록의 영역을 완전한 충전의 실패로 야기된 유니트 블록에서 영역의 손실 비는 증가한다. 다른말로, 유니트 블록의 영역비는 증가한 폴리셀에 대하여 사용된 것이 너무 작다.

유니트 블록이 예정된 바와같이, 폴리셀에 의한 유니트 블록에서 영역의 충전과 길이 L인 최악의 경우에 하나의 폴리셀에 대한 영역 손실을 야기시킬 수 있다. 유니트 블록에서 영역 6손실이 더 증가하지 않을지라도 손실비는 길이 L을 감소시킴에도 불구하고 증가한다. 예를들면, 길이 L의 X방향으로 축소된 폴리셀의 평균 폭만큼 큰 약 2배로 설정될 때 50%의 손실이 발생한다. 본 실시예에서, 길이 L은 유니트 블록 22에 10-20 폴리셀을 유지하기 위하여 약 600μm로 설정된다. 이 경우에 최대의 손실은 5-10%이다.

본 발명의 직접회로의 첫번째 실시예는 반도체 칩 20상의 유니트 블록의 배치의 예를 도시한 제9도를 참조하여 설명된다.

제9도에 있어서, 칩 20은 입/출력 버퍼회로와 단자패드를 포함하는 입/출력 영역 21a와 그곳에서 조립된 다수의 유니트 블록 22를 포함하는 유니트 블록 또는 미니-매크로 블록 23의 다수의 집단에 의해 규정된 칩 영역 21을 갖고, 칩 영역 21에 놓여진다. 각 미니-매크로 블록 23에서, 다수의 유니트 블록 22는 Y방향으로 서로 인접하여 배열되므로, 유니트 블록의 짧은 래터럴 사이드 에지는 Y방향으로 정렬된다. 하나의 미니-매크로 블록 23에 포함된 다수의 유니트 블록은 각 미니-매크로 블록에서 변화할 수 있다. 다른 말로, 미니-매크로 블록 23은 Y방향으로 다양한 크기를 갖을 것이다. 한편, X방향에서의 미니-매크로 블록 23의 크기는 유니트 블록 22의 기준 크기와 일치한다. 더우기 거기에는 유니트 블록 22와 비교하여 증가한 크기와 RAM, ROM 또는 ALU 등의 기능 블록에 대한 직사각형 모양의 메가셀 영역 24가 제공될 것이다. 미니-매크로 블록 23은 다수의 미니-매크로 블록의 분할될 것이고, 상호연결점에 대한 간격을 갖는다.

미니-매크로 블록 23은 칩 20상에 놓여지므로 다수의 채널영역 25는 인접한 미니-매크로 블록 23사이에 형성된다. 제9도의 실시예에서, 미니-매크로 블록 23은 미니-매크로 블록 23에서의 유니트 블록 22의 방향이 칩 20을 통하여 X방향으로 항상 연장되는 것을 제외하면 칩 영역 21에 자유롭게 놓여진다. 미니-매크로 블록 23의 일부는 미니-매크로 블록 23a의 경우에서와 같이 서로 분리되어 제공되는 반면 일부의 다른 미니-매크로 블록 23은 X방향으로 서로 인접하여 놓여진 2개 이상의 미니-매크로 블록 23의 클러스터(cluster)로 제공된다. 예를들면 거기에는 서로 인접하여 놓여진 미니 매크로 블록 23b, 23c 또는 미니-매크로 블록 23d, 23e이 있다. 미니-매크로 블록 23d와 23e의 경우로 도시한 바와같이, 인접한 미니-매크로 블록의 크기는 서로 꼭 같지는 않다.

더우기, 미니-매크로 블록들 23은 ALU 등과 같은 칩의 완전한 기능 블록 또는 장치를 형성하는 매크로 블록 100을 형성하기 위하여 서로 상호연결되어 조립된다. 이미 언급한 바와같이, 그와는 달리 단일 미니-매크로 블록 23은 완전한 기능 블록의 기능을 갖지 않는다.

본 발명의 중요한 한가지 특징은 그들사이에서 일어나는 채널영역 25없이 또는 채널영역과 X방향으로 다수의 미니-매크로 블록 23이 있다는 것이다. 다른말로, 거기에는 단일 칩영역 21상에 X방향으로 놓여진 2개 이상의 미니-매크로 블록 23이 있고, 그 미니-매크로 블록 23의 위치는 자유롭게 선택될 수 있다. 더우기, 미니-매크로 블록 23의 Y방향의 위치는 자유롭게 결정된다. 서로 정렬된 미니-매크로 블록 23을 항상 필요로 하는 것이 아니므로 유니트 블록의 부호, L', L"로 각각 도시한 꼭대기 에지와 바닥 에지는 다른 유니트 블록의 꼭대기 에지와 바닥 에지 사이에 대응하고, 미니-매크로 블록 23은 이웃한다. 미니-매크로 블록 23의 배열에 관한 억제와 매크로-블록 100의 배열은 유니트 블록의 방향이 미니-매크로 블록 23을 통하여 그리고 칩 영역 21상의 매크로-블록 100을 통하여 동일하게 되어야만 한다.

유니트 블록 22 각각에 있어서, 폴리셀 22a사이의 상호 연결은 다른 유니트 블록 22의 다른 폴리셀의 연결에 대한 단자를 제외하면 완성된다. 더우기, 미니-매크로 블록의 각각에 있어서 그에 포함된 유니트 블록 22사이의 상호 연결은 다른 미니-매크로 블록 23의 다른 유니트 블록 22에서의 연결에 대한 단자를 제외하면 완성된다. 따라서, ECL게이트의 동작속도에서 임계의 상호 연결은 최소길이로 각 미니-매크로 블록 23내에 그리고 각 유니트 블록내에서 제한된다. 그것에 의해서 최대 동작 속도는 집적회로에 대하여 보장된다. 미니-매크로 블록 23과 다르게 속하는 유니트 블록 22를 연결하기 위한 다른 상호 연결은 미니-매크로 블록 23사이에서 형성된 채널 영역 또는 글로벌 채널 25로 불리우는 간격을 사용하여 제공한다.

글로벌 채널 25에 있어서 상호 연결 도체의 통로를 방해하는 단자 또는 다른 구조가 제공되지 않고, 다른 미니-매크로 블록 23사이의 효과적인 상호 연결이 성취된다. 더우기, 그들과 연결될 이 없는 미니-매크로 블록 23을 통하여 지나는 상호 연결에 대한 통로는 미니-매크로 블록 23의 외부에 제공되고, 간격 또는 공급 통로는 상호 연결의 통로에 대하여 미니-매크로 블록 23내부로 공급되고, 집적회로의 집적 밀도는 제대로 쉽게 될 수 있다.

제10a도는 본 발명의 집적회로에 제공된 상호 연결의 예를 도시하였다. 도면에 있어서 집적회로는 미니-매크로 블록 23을 형성하는 다수의 유니트 블록 22

1, 22₂, 22₃ 등으로 이루어졌고, 글로벌 채널 25는 인접한 미니-매크로 블록 23사이에서 형성된다. 유니트 블록을 형성하는 폴리셀 22a의 각각에 있어서, 상호 연결은 전력도체 22b와 22c의 레벨아래의 첫번째 레벨에서 도시되지 않는 도체 패턴에 의해 완성되고, 단자 T는 다른 폴리셀 22a에서의 상호 연결에 대해 제공된다. 유니트 블록 22

1, 22₂, 22₃의 폴리셀 22a에 형성된 이들 단자 T는 전력도체 22b, 22c의 상기 레벨인 세번째 레벨 또는 두번째 레벨에서 제공된 상호 연결 도체 패턴 22X에 의해 서로 연결된다. 도체 패턴 22X는 집적회로의 고속동작에서 임계인 상호 연결에 대해 사용된다. 한편, 거기에는 다른 미니-매크로 블록 23에 속하는 폴리셀 22a사이의 상호 연결에 대한 첫번째 또는 두번째 레벨에서 글로벌 채널 25에 대응하는 다른 상호 연결 패턴 25X를 제공한다. 이 상호 연결 패턴 25X는 집적회로의 고속동작에 덜 비판적인 상호 연결에 대하여 사용된다. 다른말로, 집적회로의 고속동작에 비판적인 논리회로를 형성하는 폴리셀 22a는 유니트 블록 22

1, 22₂, 22₃의 배열을 설계하는 시간에 각 미니-매크로 블록 23에서 서로 가깝게 조립된다.

유니트 블록 22와 미니-매크로 블록 23을 구성함으로써 집적회로의 자유배치와 고속동작의 전술한 장점들이 성취된다.

제10b도는 비교 목적은 폴리셀 구조를 갖는 종래의 CMOS 또는 MOS 집적회로에 제공된 상호 연결의 예를 도시하였다.

집적회로에 있어서, 폴리셀들은 제2도를 참조하여 이미 설명한 바와같이 다수의 폴리셀 칼럼 16으로 배열되고, 상호 연결은 긴 거리에 대해 서로 분리된 폴리셀을 연결하기 위하여 상호 연결 패턴 25x를 사용 뿐만아니라 서로 인접한 폴리셀의 상호 연결에 대하여 상호 연결 패턴 22x를 사용함으로써 성취된다.

상호 연결 패턴 22x를 통과하기 위하여 폴리셀칼럼에서 폴리셀 각각은 폴리셀의 영역을 점유하는 채널 영역 CH를 통하여 공급과 함께 형성된다. 제10a도와 제10b는 대체로 동일한 스케일로 그려졌음을 주의하라. 이것은 폴리셀 각각의 집적밀도가 거리에 연결되지 않은 상호 연결 패턴의 통로에 대하여 단지 불필요하게 감소되고, 집적회로의 동작속도는 종래의 경우에 저하된다. 더욱이, 채널 영역 CH를 통하여 예비 공급은 또한 증가한다. 따라서 동작속도의 감소를 더 야기시킨다.

유니트 블록 22가 X방향으로 기준 크기를 갖고 미니-매크로 블록 23이 X방향으로 기준 크기의 집적 멀티플과 동일한 크기를 갖으므로, 매크로 100의 설계와 배치는 CAD 등의 자동 설계 절차로 효율적이게 실행될 수 있다. 다른말로, 본 발명에 나타난 바와같이 미니-매크로 블록 23의 조립 형성에서 유니트 블록 22로부터 형성된 매크로-블록 100과 유니트 블록 22의 개념을 사용하는 집적회로의 설계는 자동설계 절차의 응용에 대해 적당하다. 본 발명의 이 구조는 매크로-블록 100 내부의 배치에 대응하는 하나의 계층 레벨, 각각의 매크로 100의 상호 배치에 대한 다른 계층 레벨에서 실행될 수 있다. 설계 처리를 분리함으로써 최소의 배치 교정, 논리에 대한 피이드백과 동일한 시간, 설계에 대한 컴퓨터 로드의 감소 등의 다양한 유리한 특징을 설명된 바와같이 성취된다. 미니-매크로 블록 23의 배치가 대체로 자유롭게 실행될 수 있으므로 RAM, ROM과 ALU 등의 메가-셀 구조 24는 칩 영역 21상의 바람직한 위치에 제공될 수 있다.

칩 20의 유니트 영역에 필요한 전력은 집적회로가 본 발명의 유니트 블록 22 또는 미니-매크로 블록 23을 사용하여 구성할 때 거의 일정하게 유지된다. 이것은 미니-매크로 블록 23의 배열이 칩 영역 21상에 있고, 유니트 블록 22 만큼 긴 대체로 일정하게 유지하는 칩 영역 21의 유니트 영역에 공급된 평균 전력이 칩 영역 21위에 대체로 균일하게 분배됨을 의미한다. 바꾸어 말하면 집적회로에 전력 공급하는 것은 고정된 전력 공급 시스템을 사용하여 성취될 수 있음을 의미한다. 고정된 전력 공급 시스템의 다양한 예는 후에 설명될 것이다.

제11도는 글로벌 채널 25가 칩 영역 21을 통하여 Y방향으로 바르게 연장된 글로벌 채널 25와 칩 영역 21을 통하여 일정한 폭 W_{CH} 를 갖는 한쌍의 미니-매크로 블록 23 사이에서 형성되는 두번째 실시예를 도시하였다. 다른말로, 다수의 미니-매크로 블록 23은 미니-매크로

블록 칼럼 23

1, 23₂, 23₃의 그룹의 배열되고 Y방향으로 바르게 연장된다. 미니-매크로 블록 칼럼 23

1, 23₂, 23₃의 각각에 있어서, Y방향으로 다양한 크기를 갖는 하나 이상의 미니-매크로 블록 23이 포함된다. 그곳에는 미니-매크로 블록 칼럼에 또한 고립된 유니트 블록이 있다. 규칙적인 전력공급패턴을 사용하는 것이 가능한 그것을 만드는 미니-매크로 블록 칼럼 23

1, 23₂, 23₃의 규칙적인 배치를 대전력을 공급하기에 극히 유리하다. 다음의 설명에 있어서 집적 회로에 전력을 공급하는 것을 설명하려 한다.

제12a도는 다수가 병렬로된 제11도에 도시한 두번째 실시예의 경우에 전력을 공급하기 위한 전력공급 시스템의 구성을 도시하였다. 스트레이트 글로벌 채널 25는 유니트 블록 22의 길이 L과 동일한 소정의 간격으로 반복된다. 제12a도에 있어서 전력 버스들 30

1, 30₂, 30₃들은 글로벌 채널들 25₁, 25₂, 25₃ 등에 대응하여 제공되고, 이들 전력 버스들은 상호연결과 같은 미니-매크로 블록 칼럼 23₁, 23₂에 포함된 유니트 블록 22의 전력도체 22b와 22c에 대응하여 공통으로 연결된다. 전력도체 22b와 22c는 제11b도에 도시적으로 도시한 바와 같이 유니트 블록 22 내에서 완성하는 상호연결에 대하여 사용된 첫번째 레벨위의 두번째 레벨에서 제공되는 반면 전력 버스들 30

1, 30₂, 30₃는 두번째 레벨 위의 세번째 레벨에 제공된다. 제12b도에 X방향으로 연장된 상호연결도체 22x

1과 Y방향으로 연장된 다른 상호연결 도체 22x₂를 도시하였다. 이들 상호연결 도체 패턴 22x

1과 22x₂는 전술한 도체 패턴 22x를 형성하고, 여기서 도체 x₁은 두번째 레벨로 제공되고, 도체 22x₂는 세번째 레벨로 제공된다.

따라서, 전력 버스들 30₁과 30₃는 하나의 유니트 블록 22의 전력 도체 22b와 22c에 각각 연결되고, 전력 버스들 30₂와 30₂는 인접한 유니트 블록 22'의 전력 도체 22b'와 22c'에 각각 연결된다. 더우기, 전력 버스들 30

1-30₃은 전력 버스와 주전력 버스의 교차점에서 전력 바이어-오프를 POWERVIA를 통하여 반복적으로 X방향으로 연장시키기 위하여 네번째 레벨로 제공되고 주전력 버스 31₁과 31₂로부터 소오스 전압 V_{CC}와 V_{EE}에 대응하는 전력으로 공급된다. 첫번째, 두번째, 세번째와 네번째 레벨 도체들은 도시하지 않은 절연층에 의해 서로 분리된다. 제12a도에 도시한 바와같이 나란히 배열된 도체 스트리프의 반복으로 주전력 버스들 31

1, 31₂를 제공함으로써 칩상의 도체층의 네번째 레벨은 주전력 버스들에 의해 완전하게 커버되고, 극히 험있는 전력 공급 시스템에 제공된다. 칩 20상의 유니트 22는 쌍의 전력 버스들 30

1, 30₂, 30₃...에 연결되고, 보장된 충분한 전력의 공급과 칩 영역 21상에 제공될 것이다. 비록 도시한 구성이 소오스 전압 V

EE와 V_{CC}를 공급할지라도 본 전력 공급 시스템은 쉽게 수정되고, 여기서 3개 이상의 소오스 전압은 도체층의 각 레벨에서 다수의 전력 버스들 또는 전력 도체들 증가함으로써 공급된다.

설명한 바와같이 세번째 레벨에서 글로벌 채널 25₁-25₃에 대응하는 전력 버스들 30₁-30₃를 제공함으로써 집적회로를 설계하기 위한 자유도와 다른 미니-매크로 블록 23에서의 풀리셀 사이의 상호연결 25x(제10a도)에 대해 자유롭게 사용될 수 있는 글로벌 채널의 첫번째 레벨은 점차적으로 증가한다. 더우기, 단일 미니-매크로 블록 23에서의 다른 유니트 블록 22사이의 상호연결은 세번째 레벨에서 Y방향으로 연장하는 상호연결 도체 23x를 제공함으로써 자유롭게 만들어질 수 있다. X방향에서 전력 버스들 30

1-30₃의 반복 피치는 글로벌 채널의 폭 W_{CH}와 크기 L의 합과 동일한 글로벌 채널들 25₁-25₃의 반복 피치에 대응하는 유니트 블록 22의 크기 L보다 크게 경사지게 설정된다.

다음, 미니-매크로 블록 23을 배치하는 보다 일반적인 경우에 대한 전력 공급 시스템에 제13도에 의거하여 서술될 것이다. 이 경우에 대한 미니-매크로 블록의 대표적인 배치를 나타내는 도면에 의거하여, 미니-매크로 블록 23과 23'가 X방향과 공통으로 오프셋되는 Y방향으로 서로 이웃하게 배치된다. 따라서, 미니-매크로 블록 23과 23'의 양 사이트에 있는 글로벌 채널 25가 칩 영역 21을 통하여 직선으로 더 이상 확장되지 않는다.

이 경우에, 전력 버스가 전력 버스 30₁, 30₁', 30₂, 30₂'에 의하여 제13도에 도시된 바와같이 한쌍의 미니-매크로 블록 23, 23' 등의 사이에 있는 채널 영역 25의 각각에 제공되고, 전력의 공급이 제12도의 경우에 비슷하게 X방향에 제공되는 주전력 버스 31₁과 31₂로부터 이들 전력 버스에 가해진다. 고정된 전력 공급 시스템으로 부터 칩 영역 21의 미니-매크로 블록 23, 23'의 어떤 것에 전력의 믿음만한 공

급을 안전하게 하기 위하여, 주전력 버스 31

1_1 과 31_2 의 반복의 피치 P1이 칩 영역 21에 존재하는 미니-매크로 블록의 최소 높이 H_{23} 보다 작게 설정된다. 피치 P1은 주전력 버스 $31a$ 와 주전력 버스 $31b$ 를 형성하는 도체 스트리프의 폭의 합이다. 전력 공급 시스템의 배치고 고정되므로써, 칩 영역 21 위의 미니-매크로 블록 23의 배치처리가 전력 공급 시스템에 대한 특별한 고려없이 CAD에 의하여 자유롭게 그리고 효과적으로 실행될 수 있다. 그것에 의하여, 와이어링 도체의 루팅(routing)과 같은 상세한 설계가 사실상 보다 용이하다.

제14도는 전력 공급 시스템의 다른 예를 나타낸다. 이 예는 미니-매크로 블록 23이 제9도에 도시된 첫번째 실시예의 경우와 같이 칩 영역 21 위에 자유롭게 배치되는 경우에 대응하고 주전력 버스 31

1_1 과 31_2 는 Y방향에 제공된다. 전력 버스 30

1_1 과 30_2 가 제거되고 주전력 버스 31_1 과 31_2 가 유니트 블록 22의 전력 도체 $22b$ 와 $22c$ 에 직접 접속한다. 칩 영역 21에 주전력 버스 31

1_1 과 21_2 를 나란히 배열함으로써 반복 피치 P2가 유니트 블록 22의 길이 L보다 사실상 적게 설정되고, 미니-매크로 블록 23의 유니트 블록의 어느 하나가 미니-매크로 블록이 제공될 때 한쌍의 주전력 버스 31_1 과 31_2 에 의하여 교차되며, 어떤 미니-매크로 블록 23의 유니트 블록 22의 어떤 것의 전력의 공급이 제14도에 도시된 전력 바이어-오프 POWER를 통하여 성취될 수 있다.

제15도는 집적회로의 세번째 실시예를 나타내는데, 표준화된 다른 높이 H_{22a} , H_{22b} 를 가지는 유니트 블록 22, 22_1 와 다른 형이 다양한 미니-매크로 블록 23, $23'$, $23''$ 등을 형성하기 위하여 칩 영역 21에 제공된다. 그것에는 미니-매크로 블록을 형성하지 않는 유니트 블록 22가 위치할 수도 있다.

도면의 간략성을 위해, 유니트 블록의 꼭대기와 바닥 에지의 전력 도체가 설명으로 부터 생략되었다. 이러한 구조가, 기능과 크기에서 상이한 다양한 다른 형의 폴리셀에 하나의 칩에 사용되어질 때 바람직하다.

이 실시예에서, 폴리셀은 높이 H_{22a} , H_{22b} 등의 각 높이 H를 가지는 다수의 각 그룹으로 분류되고 유니트 블록은 공통 높이를 가지는 폴리셀을 조합함으로써 구성된다. 따라서, X방향의 유니트 블록의 길이 L이 일정하게 유지될지라도, 각 높이를 가지는 유니트 블록 22

1_1 , 22_2 의 몇가지 다른 형이 나타난다. 미니-매크로 블록 23 또는 $23'$ 로 정의된 유니트 블록을 조합함으로써, 배치처리가 CAD에 의하여 쉽게 실행될 수 있다. 이 경우에, 칩위의 유니트 영역에 공급되어야할 전력 밀도 또는 전력 이 사실상 일정하게 유지되는 것을 알 수 있다. 따라서, 제13도와 제14도에 의거하여 서술된 전력 공급 시스템이 이 경우에는 효과적이다.

제16도는 본 발명에 따른 집적회로의 네번째 실시예를 나타낸다. 제15도의 경우와 비슷하게, 평행한 전력도체 22

b_1 , 22_c 의 설명이 생략될 것이다. 이 실시예에서, 유니트 블록의 크기에 대한 자유도가, 유니트 블록의 X방향에서 측정된 크기가 각 유니트 블록에서 활용될 수 있도록 좀 더 증가된다. 제15도의 경우와 비슷하게, 유니트 블록이 다룰때, 하나의 유니트 블록의 각 폴리셀이 Y방향에서 동일 높이 H를 가지나 이 높이는 변할 수 있다. 이 실시예에서, X방향에서 각 길이를 가지는 미니-매크로 블록 23, $23'$ 및 $23''$ 의 다른 형이 X방향에서 여러가지 길이를 가지며 길이에 따라 Y방향에서 다양한 높이를 가지는 유니트 블록, 22

1_1 , 22_2 , 22_3 , $22_1'$, $22_2'$, $22_3'$, $22_1''$, $22_2''$, $22_3''$ 를 조합함으로써 형성된다. 유니트 블록 22

1_1 , 22_2 , 22_3 은 모두 동일한 길이 L_{23} 을 가지고, 유니트 블록 $22_1'$, $22_2'$, $22_3'$ 은 모두 동일한 길이 L_{23a} 를 가지며, 유니트 블록 $22_1''$, $22_2''$, $22_3''$ 은 모두 동일한 길이 L_{23b} 을 가진다. 미니-매크로 블록 유니트 23, $23'$ 및 $23''$ 는 서로 다를 수 있는 각 높이 H

23_1 , H_{23a} 및 H_{23b} 를 가진다. 설명된 예에서, 미니-매크로 블록 유니트 23의 높이 H

$23b$ 를 가진다. 설명된 예에서, 미니-매크로 블록 유니트 23의 높이 H

$23a$ 와 미니-매크로 블록 유니트 23'의 높이 H_{23a} 는 미니-매크로 블록 유니트 23'의 높이 H_{23b} 가 서로 다를때 서로 동일해진다.

제16도는 이 실시예에 적용된 전력 공급 시스템의 예를 좀더 나타낸다. 이 전력공급시스템은 제15도의 실시예에도 적용될 수 있다. 전력 공급 시스템이 제13도의 것과 사실상 동일하고 두개의 다른 주전력 버스 31

1_1 과 31_2 가 평행하게 제공되고 X방향에서 서로 이웃한다. 이 전력 공급 시스템에서, 전력 버스 31

1_1 과 31_2 의 반복 피치가 다음관계를 만족하는 값 P3로 설정된다.

$P3 < H_{23a}$, $P3 < H_{23b}$ 다시 말하면, 피치 P3이 칩의 미니-매크로 블록 유니트의 최소 높이보다 작게 설정된다. 이와같이 피치를 설정함으로써 미니-매크로 블록의 어떤 하나에 한쌍의 주전력 버스 31

1과 31₂로부터 전력이 공급된다.

제17도는 본 발명의 다섯번째 실시예를 나타낸다. 이 실시예에서, X방향에서 다른 크기를 가지며 Y방향에서 다른 높이를 가지는 유니트 블록이 미니-매크로 블록을 형성하기 위하여 자유롭게 조립된다. 그러므로, 이 경우에, Y방향의 미니-매크로 블록의 사이드 에지가 항상 직선은 아니다. 이러한 경우, 고정된 전력 공급 시스템은 유니트 블록의 최소 길이 L보다 작게 설정된 반복의 피치 P4를 갖는 Y방향에 전력 버스 30

1과 30₂를 나란히 배열함으로써 적용될 수 있다. 다시 말하면, 피치 P4는 다음과 같이 설정된다.

$P4 < L_{23c}$, $P4 < L_{23d}$, $P4 < L_{23e}$... $PE < L_{min}$ 여기서, L_{23c} , L_{23d} , L_{23e} 가 X방향의 미니-매크로 블록의 크기를 나타내고, L_{min} 은 칩 위에 있는 X방향의 미니-매크로 블록 유니트 또는 유니트 블록의 최소 길이를 나타낸다.

제18도와 19도는 제19도에 도시된 메가-셀 24에 대한 전력공급의 예를 나타낸다.

제18도에 의거하여, 전력 버스 30₁과 30₂가 전술된 실시예의, 경우와 비슷하게 미니-매크로 블록 유니트 23의 양 사이트에 있는 글로벌 채널 25에 대응하는 곳에 제공되고, 전력의 공급이 제12a도, 제13도 및 16도의 실시예와 비슷하게 X방향의 주전력 버스 31₁과 31₂를 제공함으로써 가해진다. 메가-셀 24는 이미 서술된 RAM, ROM 또는 ALU 등의 기능 유니트를 형성할 수 있고, 유니트 블록 22의 그것보다 사실상 더 큰 크기를 갖는다.

메가-셀 24의 장치의 각가에 전력을 공급하기 위하여, 전력도체 24a와 전력 도체 24b가 Y방향의 메가-셀 24위에 일반적으로 제공되고 전력은 전력 도체 24a, 24b 및 전력 버스 31₁과 31₂의 교차점에서 전력 바이어-홀을 통하여 메가-셀 24에 공급된다. Y방향에서 측정된 전력 도체 24a와 24b의 길이 L

V 보다 작거나 같은 피치 P5로 방향 Y에서 전력 버스 31₁과 31₂의 반복피치를 설정함으로써, 전력이 전력 버스 31₁과 31₂로부터 전력 도체 24a와 24b로 믿음만하게 공급될 수 있고 메가-셀 24는 칩 영역 21에 공급될 수 있다.

제19도는 X방향에서 확장하고 있는 전력 도체 24a와 24b를 통하여 Y방향에서 확장되는 전력 버스 31₁과 31₂로부터 메가-셀 24에 전력을 공급하기 위한 경우를 나타낸다. 피치 P6으로 나타낸 X방향에서의 전력버스 31

1과 31₂의 반복의 피치보다 크거나 같아야 할 X방향에서 측정된 전력 도체 24a와 24b의 길이 L_H 를 설정함으로써, 전력이 메가-셀 24에 공급될 수 있고 메가-셀 24는 칩 영역 21에 제공될 수 있다.

더우기, 본 발명은 전술된 실시예들로 제한되지 않고, 여러가지 변화와 수정이 본 발명의 영역으로 부터 벗어나지 않고 행해질 수 있다.

(57)청구의 범위

청구항1

논리 장치의 다수의 첫번째 계층 유니트(22)로 이루어지는 다수의 바이폴라 논리 장치를 포함하는 반도체 집적회로에 있어서, 상기 첫번째 유니트의 각각이 폴리셀 구조를 가지는 다수의 바이폴라 논리장치(22a)로 이루어지고 바이폴라 논리 장치의 각각이 첫번째 방향에서 첫번째 표준화된 크기(H)를 가지며, 상기 바이폴라 논리장치가 첫번째 계층 유니트의 각각에서 두번째 표준화된 크기에 대하여 첫번째 방향과 다른 두번째 방향에 배치되고, 상기 첫번째 계층 유니트의 각각이 첫번째 주에지로 정의되고 상기 두번째 표준화된 크기에 대하여 두번째 방향으로 확장되며, 두번째 주에지가 첫번째 주에지와 마주보고 상기 두번째 표준화된 크기에 대하여 두번째 방향으로 확장되며, 첫번째 사이드 에지가 상기 첫번째 표준화된 크기에 대하여 첫번째 방향으로 확장하고, 두번째 사이드 에지가 첫번째 사이드 에지와 마주보고 상기 첫번째 표준화된 크기에 대하여 첫번째 방향으로 확장하며, 반도체 집적회로가 동작할 때 일반적으로 동일 전력이 첫번째 계층 유니트의 각각에서 소모되도록 상기 첫번째 계층 유니트의 각각이 바이폴라논리 장치를 배치함으로써 구성되고, 상기 첫번째 계층 유니트의 각각이 바이폴라 논리 장치에 전력을 공급하기 위하여 상기 두번째 표준화된 크기에 대한 두번째 방향으로 확장하는 첫번째 전력공급 시스템(22b, 22c)를 가지며, 적어도 상기 첫번째 계층 유니트의 일부가 첫번째 방향에서 각각 길이를 가지는 다수의 두번째 계층 유니트(23, 100)를 형성하기 위하여 첫번째 방향에 배치되고, 여기서, 첫번째 계층 유니트의 상기 첫번째와 두번째 사이드 에지가 두번째 계층 유니트의 각각의 첫번째 방향에서 밀착되며, 두번째 방향에서 각각 다른 위치를 가지는 적어도 두개의 두번째 계층 유니트가 그곳에 놓여지도록 상기 다수의 두번째 계층 유니트가 배치되고, 상기 반도체 집적회로가 첫번째 계층 유니트의 각각에서 첫번째 전력 공급 시스템을 교차시키기 위하여 첫번째 방향으로 확장하는 두번째 전력 공급 시스템(30₁, 30₂, 30₃)을 좀 더 포함하고, 상기 두번째 전

력 공급 시스템이 그곳에 전력을 공급하기 위하여 첫번째 계층 유니트의 각각의 첫번째 전력 공급 시스템에 연결되는 것을 특징으로 하는 반도체 집적회로.

청구항2

청구범위 제1항에 있어서, 상기 바이폴라 논리 장치(22a)가 두번째 방향으로 흐르도록 상기 바이폴라 논리 장치(22a)의 각각이 전류의 통로를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항3

청구범위 제1항에 있어서, 상기 바이폴라 논리 장치(22a)가 두번째 방향에서 각각 크기를 가지며 전류의 상기 통로가 바이폴라 논리 장치에 의하여 소모되는 전력에 일반적으로 비례한 두번째 방향에서 크기를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항4

청구범위 제3항에 있어서, 상기 통로가 첫번째 방향으로 확장하는 저항으로서의 역할을 하는 적어도 하나의 연장 영역(R1-R8)을 포함하는 것을 특징으로 하는 반도체 집적회로.

청구항5

청구범위 제1항에 있어서, 상기 첫번째 전력 공급 시스템(22b, 22c)가 첫번째 방향으로 서로 분리되고 두번째 방향에서 서로 평행으로 확장하는 다수의 전력 도체로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항6

청구범위 제5항에 있어서, 상기 첫번째 전력 공급 시스템(22b, 22c)가 하나는 첫번째 계층 유니트의 첫번째 주에지를 따라 두번째 방향에서 확장하고 다른 하나는 두번째 계층 유니트의 두번째 주에지를 따라 두번째 방향에서 확장하는 적어도 한쌍의 전력 도체로 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항7

청구범위 제6항에 있어서, 첫번째 계층 유니트의 내부를 향하여 첫번째와 두번째 주에지로 부터 오프셋시키기 위하여 상기 쌍의 전력도체(22b, 22c)가 제공되는 것을 특징으로 하는 반도체 집적회로.

청구항8

청구범위 제5항에 있어서, 상기 두번째 전력 공급 시스템(30₁, 30₂, 30₃)이 첫번째와 두번째 방향에 수직인 방향에서 첫번째 전력공급 시스템(22b, 22c)의 상위레벨이 제공되고 첫번째 방향에서 각각 확장하는 다수의 전력 도체로 이루어지며 각각의 교차점에서 첫번째 전력 공급 시스템을 형성하는 다수의 전력 도체의 대응하는 하나에 연결되고 첫번째 전력 공급 시스템의 전력 도체가 두번째 전력 공급 시스템의 전력도체와 교차하는 것을 특징으로 하는 반도체 집적회로.

청구항9

청구범위 제8항에 있어서, 두번째 전력 공급 시스템(30₁, 30₂, 30₃)을 형성하는 전력 도체의 각각이 첫번째와 두번째 전력 공급 시스템의 전력 도체에 대응하는 상호 연결점에 제공되는 바이어-홀을 통하여 첫번째 전력 공급 시스템(22b, 22c)을 형성하는 전력 도체의 대응하는 하나에 연결되는 것을 특징으로 하는 반도체 집적회로.

청구항10

청구범위 제1항에 있어서, 두번째 전력 공급 시스템(30₁, 30₂, 30₃)을 형성하는 상기 전력 도체가 각각이 전원 전압을 공급하기 위하여 첫번째 방향에서 확장하는 적어도 두개의 다른 전력 도체로 이루어지고, 상기 다른 전력 도체가 이루어지고, 상기 다른 전력 도체가 첫번째 계층 유니트(22)의 두번째 소정의 크기(L)보다 더 작게 설정된 반복 피치(p2)로 두번째 방향에서 반복되는 것을 특징으로 하는 반도체 집적회로.

청구항11

청구범위 제10항에 있어서, 반도체 집적회로가 두번째 전력 공급 시스템의 전력도체를 반복함으로써 사실상 완전히 덮혀지도록 두번째 전력 공급 시스템(30₁, 30₂, 30₃)을 형성하는 전력 도체의 각각이 두번째 방향에서 측정된 폭을 가지는 것을 특징으로하는 반도체 집적회로.

청구항12

청구범위 제5항에 있어서, 적어도 한쌍의 상기 두번째 계층 유니트(23₁, 23₂)가 첫번째 방향에서 확장하는 간격 영역(25, 25₁, 25₂)에 의하여 두번째 방향에서 서로 분리되어 배치되고, 상기 두번째 전력 공급 시스템이 상기 쌍을 형성하는 두번째 계층 유니트의 적어도 전체 길이를 덮기 위하여 길이에 대한 상기 간격 영역에 대응하는 첫번째 방향에서 확장하는 전력도체로 이루어지고, 두번째 전력 공급 시스템을 형성하는 상기 전력 도체가 상기쌍을 형성하는 쌍의 두번째 계층 유니트에 포함된 첫번째 계층 유니트의 각각에 첫번째 전력 공급 시스템을 형성하는 대응하는 전력 도체에 연결되는 것을 특징으로하는 반도체 집적회로.

청구항13

청구범위 제12항에 있어서, 상기 두번째 전력 공급 시스템(30₁, 30₂, 30₃)이 대응하는 간격 영역에 제공되는 전력 도체로 이루어지는 반도체 집적회로.

청구항14

청구범위 제12항에 있어서, 상기 집적회로가 서로 이웃하는 한쌍의 두번째 계층유니트(23₁, 23₂)를 서로 분리하는 다수의 상기 간격영역(25₁, 25₂, 25₃)을 그안에 포함하고, 상기 간격 영역의 각각이 두번째 방향에서 측정된 동일한 폭을 가지며 집적회로 전체의 첫번째 방향에서 직선으로 확장하고, 상기 두번째 전력 공급 시스템이 첫번째 계층 유니트(22)의 두번째 소정의 크기(L)과 동일한 반복의 피치로 첫번째 방향에서 규칙적인 반복으로 대응하는 간격 영역의 집적회로 전체의 첫번째 방향에서 직선으로 확장하는 다수의 전력도체(30₁, 30₂, 30₃)로 이루어지는 것을 특징으로하는 반도체 집적회로.

청구항15

청구범위 제12항에 있어서, 상기 간격 영역 (25, 25₁, 25₂, 25₃)이 두번째 계층 유니트의 하나에 바이폴라 논리 장치의 하나를 상호 연결하고 두번째 계층 유니트의 다른 하나에 논리 장치의 하나를 상호연결 하기 위하여 첫번째형 상호 연결점에 대해 사용되고, 두번째 계층 유니트의 상기 하나와 다른 하나가 간격영역에 의하여 서로 분리되는 것을 특징으로 하는 반도체 집적회로.

청구항16

청구범위 제15항에 있어서, 상기 첫번째형 상호연결이, 첫번째와 두번째 방향에 수직인 방향에서 측정될때 첫번째 전력 공급 시스템(22b, 22c)의 하위 레벨에서 대응하는 간격 영역(25)에 제공되는 상호연결 도체에 의하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항17

청구범위 제16항에 있어서, 두번째형 상호 연결이, 첫번째와 두번째 방향에 수직인 방향에서 측정될때 첫번째 전력 공급 시스템의 상위 레벨에서 첫번째 전력 공급 시스템을 교차하는 두번째 계층 유니트의 첫번째 방향에서 일반적으로 확장하도록 동일한 두번째 계층 유니트(23, 100)내에서 서로 분리되는 첫번째 계층 유니트(22)의 논리 장치(22a)를 연결하기 위한 두번째형 상호 연결이 좀더 제공되는 것을 특징으로하는 반도체 집적회로.

청구항18

청구범위 제17항에 있어서, 첫번째 전력 공급 시스템의 레벨에서 두번째 방향으로 일반적으로 확장하는 세번째형 상호연결에 의하여 좀더 특징지워지는 반도체 집적회로.

청구항19

청구범위 제17항에 있어서, 상기 두번째 전력 공급 시스템(30₁, 30₂, 30₃)이 두번째 상호 연결의 레벨과 동일한 레벨에 제공되는 것을 특징으로하는 반도체 집적회로.

청구항20

청구범위 제1항에 있어서, 상기 반도체 집적회로가, 첫번째와 두번째 방향에 수직인 방향에서 측정될 때 두번째 방향으로 확장할 수 있도록 두번째 전력 공급 시스템(30₁, 30₂)의 상위 레벨에 세번째 전력 공급 시스템(31₁, 31₂)을 더 포함하고, 상기 세번째 전력 공급 시스템이 각각의 교차점에서 두번째 전력 공급 시스템을 교차하고 두번째와 세번째 전력 공급 시스템의 대응하는 교차점에 제공된 바이어스에서 그곳과 연결되는 것을 특징으로 하는 반도체 집적회로.

청구항21

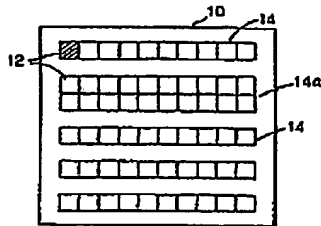
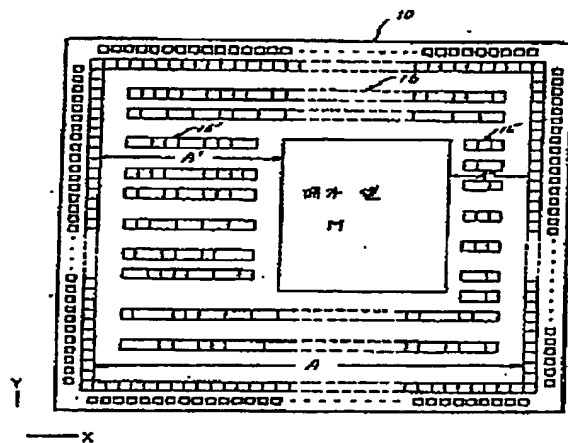
청구범위 제20항에 있어서, 상기 세번째 공급 시스템(31_1 , 31_2)가 두번째 방향에서 확장하는 적어도 두개의 다른 전력 도체로 이루어지고, 반도체 집적회로에 형성된 두번째 계층 유닛(23 , $23a$, $24b$)의 가장 작은 길이 (H_{23} , H_{23a} , H_{23b})보다 더 작게 설정되는 반복의 피치(P_1 , P_3)로 첫번째 방향으로 반복되는 것을 특징으로 하는 반도체 집적회로.

청구항22

청구범위 제21항에 있어서, 상기 전력 도체가 두번째 방향에서 확장하고 집적회로가 두번째 전력공급 시스템의 상위 레벨에서 두번째 전력 도체에 의하여 사실상 전체가 덮여지는 이와같은 쪽을 가지고 세번째 전력 공급 시스템(31_1 , 31_2)을 형성하는 것을 특징으로 하는 반도체 집적회로.

청구항23

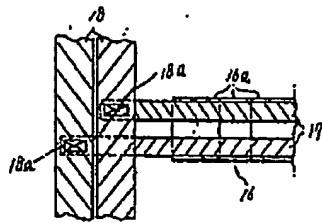
청구범위 제1항에 있어서, 상기 첫번째 계층 유닛의 각각이 풀리셀($22a$)의 형성에 약 10-20 논리장치를 포함하는 것을 특징으로 하는 반도체 집적회로.

도면**도면1****도면2**

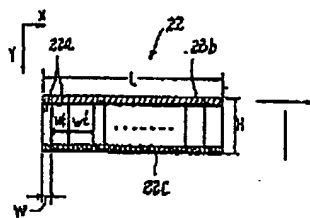
KIPRIS(공고특허공보)

Page 14 of 22

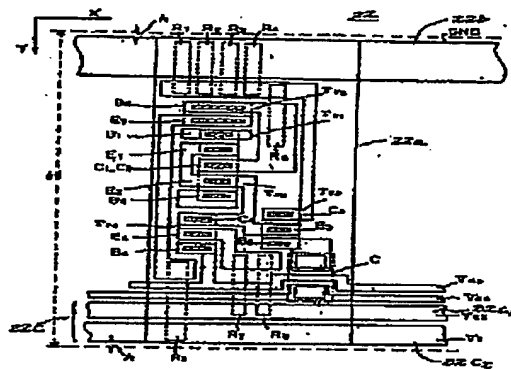
도면3



도면4



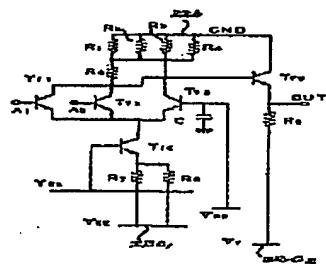
도면5



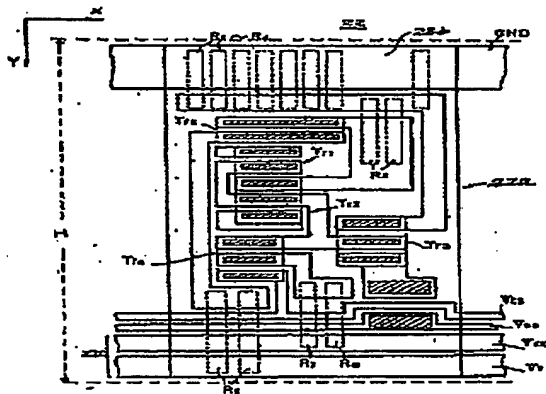
도면6

KIPRIS(공고특허공보)

Page 15 of 22



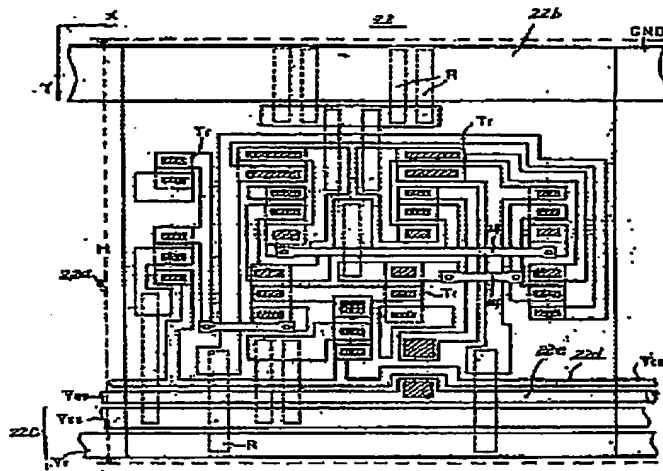
도면7



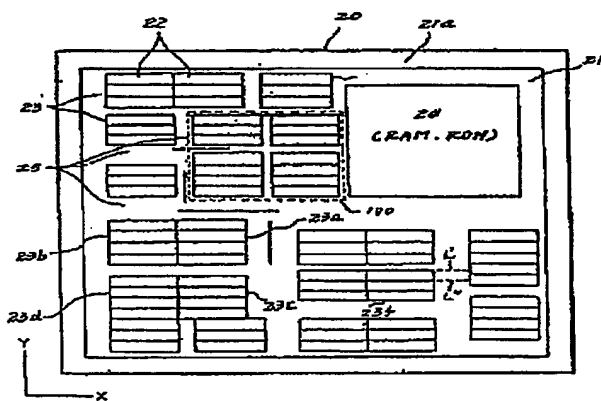
도면8

KIPRIS(공고특허공보)

Page 16 of 22



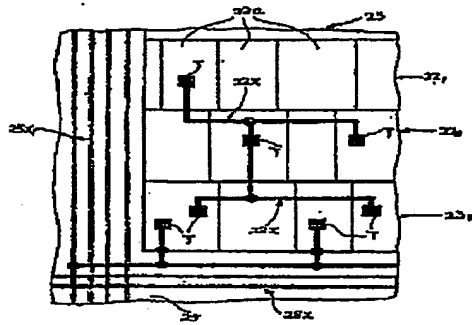
도면9



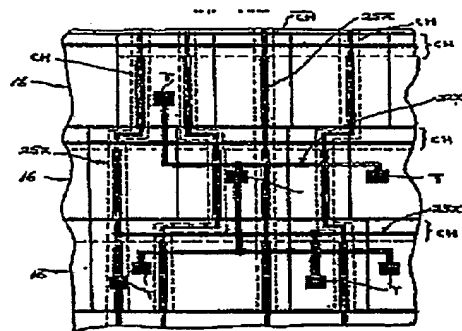
도면10A

KIPRIS(공고특허공보)

Page 17 of 22



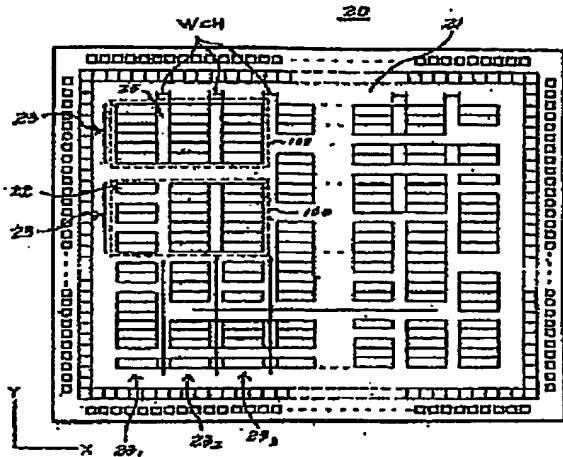
도면10B



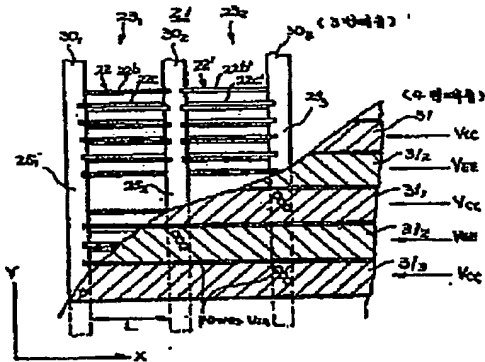
도면11

KIPRIS(공고특허공보)

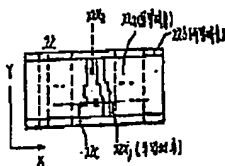
Page 18 of 22



도면12a



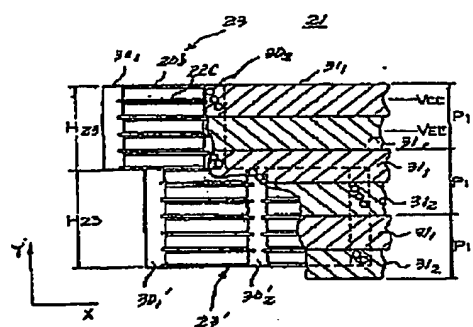
도면12B



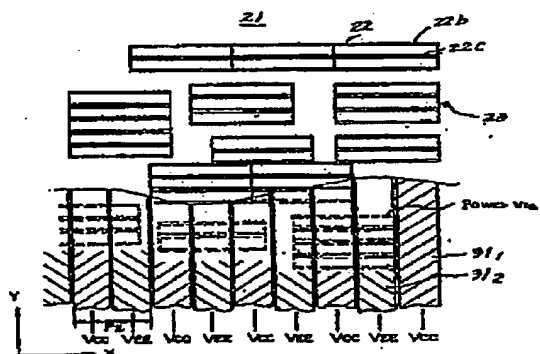
도면13

KIPRIS(공고특허공보)

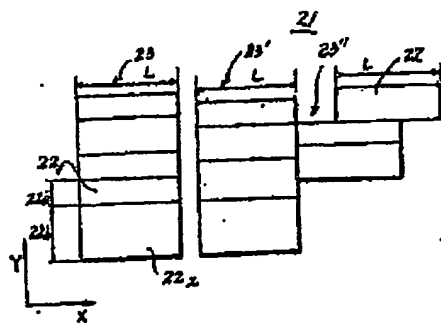
Page 19 of 22



도면14



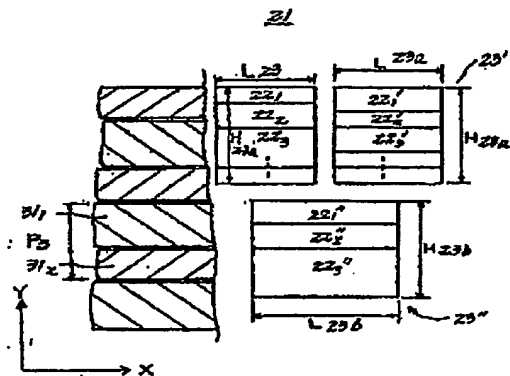
도면15



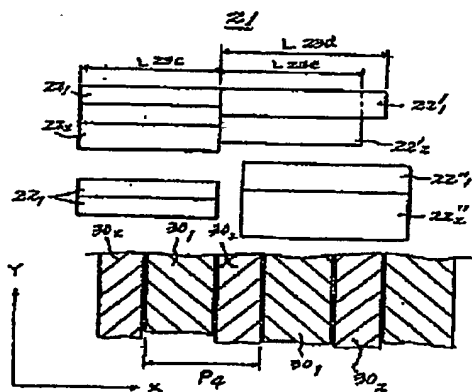
도면16

KIPRIS(공고특허공보)

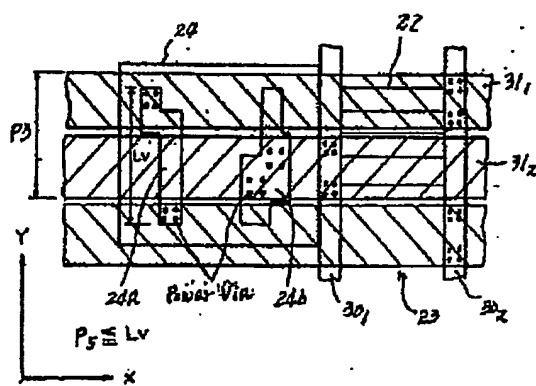
Page 20 of 22



도면 17



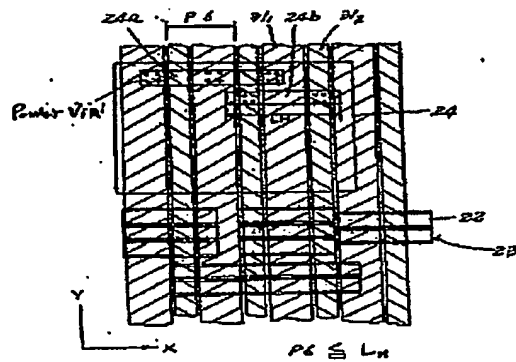
도면 18



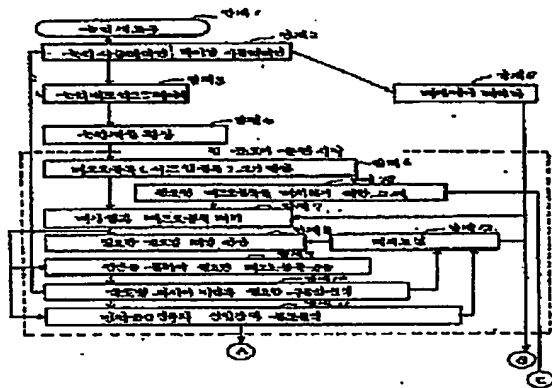
도면 19

KIPRIS(공고특허공보)

Page 21 of 22



도면20A



도면20B

KIPRIS(광고특허공보)

Page 22 of 22

